

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10285223 A**(43) Date of publication of application: **23.10.98**

(51) Int. Cl.

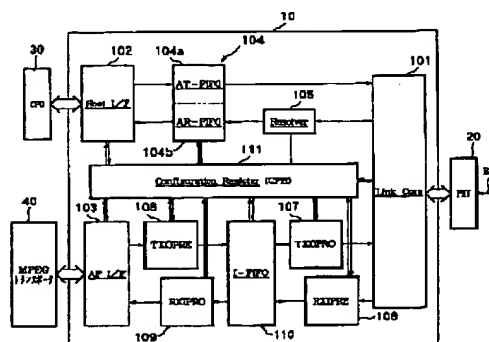
H04L 13/08**G06F 5/06****H04L 12/40**(21) Application number: **09083141**(71) Applicant: **SONY CORP**(22) Date of filing: **01.04.97**(72) Inventor: **NAKAMURA RYUTA****(54) SIGNAL PROCESSING CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a signal processing circuit whose circuit scale is not increased where a capacity ratio of transmission/reception storage devices is optionally changed.

SOLUTION: An asynchronous communication use FIFO 104 consisting of a RAM is divided into a transmission FIFO 104a and a reception FIFO 104b. A CPU 30 controls the capacity ratio of the transmission FIFO 104a to the reception FIFO 104b to be 1:1 in the case of, e.g. conventional asynchronous communication and the capacity ratio of the transmission FIFO 104a to the reception FIFO 104b to be larger than 1:1 in the case of a special operation such as bus reset.

COPYRIGHT: (C)1998,JPO



THIS PAGE BLANK (12)

【特許請求の範囲】

【請求項 1】 シリアルインタフェースバスとのデータの送信または受信を一旦記憶手段に格納して行う信号処理回路であって、

上記記憶手段は 1 つの記憶領域を持つ記憶装置からなり、所定の領域で、送信データ格納領域と受信データ格納領域とに区分けされている信号処理回路。

【請求項 2】 上記送信データ格納領域と受信データ格納領域との容量比を特定状況に応じて変更する手段を有する請求項 1 記載の信号処理回路。

【請求項 3】 上記特定状況は、シリアルインタフェースバスを伝送された各ノードの情報からなるセルフ ID パケットを受信するバスリセット時であり、上記変更する手段は、上記受信データ格納領域が送信データ格納領域より大きくなるように容量比を設定する請求項 2 記載の信号処理回路。

【請求項 4】 シリアルインタフェースバスとで送受信されるデータはアシンクロナスパケットである請求項 1 記載の信号処理回路。

【請求項 5】 上記記憶装置は、FIFO メモリである請求項 1 記載の信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリアルインターフェースに用いられる信号処理回路に関するものである。

【0002】

【従来の技術】 近年、マルチメディア・データ転送のためのインターフェースとして、高速データ転送、リアルタイム転送を実現する IEEE (The Institute of Electrical and Electronic Engineers) 1394、High Performance Serial Bus が規格化された。

【0003】 この IEEE 1394 シリアルインタフェースのデータ転送には、従来の Request/Acknowledge の要求、受信確認を行うアシンクロナス (Asynchronous) 転送と、あるノードから 125 μ s に 1 回必ずデータが送られるアイソクロナス (Isochronous) 転送がある。

【0004】 このように、2 つの転送モードを有する IEEE 1394 シリアルインタフェースでのデータは、パケット単位で転送が行われる。

【0005】 図 5 は、アイソクロナス通信における 1 ソースパケットのバイトサイズを示す図である。図 5

(A) は DVB (Digital Video Broadcast) 仕様時、図 5 (B) は DSS (Digital Satellite System) 仕様時のパケットサイズを示している。

【0006】 DVB 仕様時のソースパケットサイズは、図 5 (A) に示すように、4 バイトのソースパケットヘッダ (SPH: Source Packet Header) と 188 バイトのデータの 192 バイトである。

【0007】 これに対して、DSS 仕様時のソースパケットサイズは、図 5 (B) に示すように、4 バイトのソースパケットヘッダ (SPH)、10 バイトの付加データ、および 130 バイトのデータの 144 バイトである。付加バイトはソースパケットヘッダとデータとの間に挿入される。なお、IEEE 1394 規格では、取り扱う最小データの単位は 1 クワドレット (quadlet) (= 4 バイト = 32 ビット) であるため、トランスポートストリームデータと付加データの合計が 32 ビット単位で構成できる設定であることが必要である。ただし、デフォルトでは付加バイトなしで設定される。

【0008】 図 6 は、IEEE 1394 規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【0009】 図 6 に示すように、元のデータであるソースパケットは、4 バイトのソースパケットヘッダと、データ長を調整するためのパディングデータを付加された後、所定の数のデータブロックに分割される。なお、パケットを転送するときのデータの単位が 1 クワドレット (4 バイト) であることから、データブロックや各種ヘッダなどのバイト長は、全て 4 の倍数に設定される。

【0010】 図 7 は、ソースパケットヘッダのフォーマットを示す図である。図 7 に示すように、ソースパケットヘッダのうち、25 ビットには、たとえば上述した DVB 方式等のデジタル衛星放送等で利用されている MPEG (Moving Picture Experts Group) - TS (Transport Stream) データをアイソクロナス通信で送信するときに、ジッタを抑制するために利用されるタイムスタンプ (TimeStamp) が書き込まれる。

【0011】 そして、このようなパケットヘッダや CIP (Common Isochronous Packet) ヘッダ等のデータが、所定の数のデータブロックに付加されることによりパケットが生成される。

【0012】 図 8 はアイソクロナス通信用パケットの基本構成例を示す図である。図 8 に示すように、アイソクロナス通信のパケットは、第 1 クワドレットが 1394 ヘッダ (Header)、第 2 クワドレットがヘッダ CRC (Header-CRC)、第 3 クワドレットが CIP ヘッダ 1 (CIP-Header1)、第 4 クワドレットが CIP ヘッダ 2 (CIP-Header2)、第 5 クワドレットがソースパケットヘッダ (SPH) で、第 6 クワドレット以降がデータ領域である。そして、最後のクワドレットがデータ CRC (Data-CRC) である。

【0013】 1394 ヘッダは、データ長を表す data-length、このパケット転送されるチャネルの番号 (0 ~ 63 のいずれか) を示す channel、処理のコードを表す code、および各アプリケーションで規定される同期コード sync により構成されている。ヘッダ CRC は、パケットヘッダの誤り検出符号である。

【0014】CIPヘッダ1は、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH領域、アイソクロナスパケットの数を検出するカウンタのためのDBC(Data Block Continuity Counter)領域により構成されている。なお、DBS領域は、1アイソクロナスパケットで

転送するクワドレット数を表す。
【0015】CIPヘッダ2は、転送されるデータの種別を表す信号フォーマットのためのFMT領域、および信号フォーマットに対応して利用されるFDF(Format Dependent Field)領域により構成されている。

【0016】SPHヘッダは、トランスポートストリームパケットが到着した軸に固定の遅延値を加えた値が設定されるタイムスタンプ領域を有している。また、データCRCは、データフィールドの誤り検出符号である。

【0017】上述した構成を有するパケットの送受信を行うIEEE1394シリアルインタフェースの信号処理回路は、主としてIEEE1394シリアルバスを直接ドライブするフィジカル・レイヤ回路と、フィジカル・レイヤのデータ転送をコントロールするリンク・レイヤ回路とにより構成される。

【0018】

【発明が解決しようとする課題】IEEE1394シリアルインタフェースのデータ転送では、送信データおよび受信データは一旦リンク・レイヤ回路に設けられたFIFO(First-in First-Out)メモリ(以下、単にFIFOという)等の記憶装置(RAM)に格納される。実際には、アシンクロナスパケット用FIFOとアイソクロナスパケット用FIFOとは別個に設けられる。

【0019】ところで、上述したIEEE1394シリアルインタフェースの信号処理回路において、図9に示すように、一般的なアシンクロナス通信系1では、アシンクロナスパケット用FIFO2は、送信用FIFO2aと受信用FIFO2bとの独立した専用RAMにより構成されている。この構成を採用した場合、送信および受信のそれぞれに、独立した周辺回路(アドレス、データおよび書き込み/読み出し制御)の構成を採ればよく、送受信の相互関係を考慮せずにRAMへのアクセス制御を行うことができる。したがって、回路設計上では、比較的簡単に実現可能である。

【0020】しかし、一つのLSI上でこれを構築する、RAMの数が多いことは、チップ面積の増大、レイアウト設計への負担増といったマイナス面もある。また、独立のFIFOを2つ持つということは、送信および受信それぞれにFIFO容量が固定サイズであるので、ある状況下、たとえばバスリセット時に各ノード

(装置)から送られてくるセルフIDパケットを受信する際等に、受信用FIFOの容量を増やしたいといったケースには対応不可能である。

【0021】本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模、の増加を抑制でき、また、送受信記憶装置のサイズの容量比を任意に変更することができる信号処理回路を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するため、本発明は、シリアルインタフェースバスとのデータの送信または受信を一旦記憶手段に格納して行う信号処理回路であって、上記記憶手段は1つの記憶領域を持つ記憶装置からなり、所定の領域で、送信データ格納領域と受信データ格納領域とに区分けされている。

【0023】また、本発明では、上記送信データ格納領域と受信データ格納領域との容量比を特定状況に応じて変更する手段を有する。

【0024】そして、上記特定状況は、シリアルインタフェースバスを伝送された各ノードの情報からなるセルフIDパケットを受信するバスリセット時であり、上記変更する手段は、上記受信データ格納領域が送信データ格納領域より大きくなるように容量比を設定する。

【0025】また、本発明では、シリアルインタフェースバスとで送受信されるデータはアシンクロナスパケットである。

【0026】本発明の信号処理回路によれば、記憶手段が1つの記憶領域を持つ記憶装置により構成され、所定の領域で、送信データ格納領域と受信データ格納領域とに区分けされていることから、搭載するLSIのチップ面積の増加が抑制される。また、本発明では、送信データ格納領域と受信データ格納領域との容量比が特定状況に応じて変更される。

【0027】

【発明の実施の形態】

第1実施形態

図1は、IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の一実施形態を示すブロック構成図である。

【0028】この信号処理回路は、リンク・レイヤ回路10、フィジカル・レイヤ回路20、ホストコンピュータとしてのCPU30により構成されている。また、40はMPEGトランスポートを示している。

【0029】リンク・レイヤ回路10は、CPU30の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。具体的には、図1に示すように、リンクコア(Link Core)101、ホストインタフェース回路(Host I/F)102、アプリケーションインタフェース回路(AP I/F)103、送信用FIFO(AT-FIFO)104a、受信用FIFO(AR-FIFO)104bからなるアシンクロナ

ス通信用FIFO、セルフID用リゾルバ(Resolver)105、アイソクロナス通信用送信前処理回路(TXOPRE)106、アイソクロナス通信用送信後処理回路(TXOPRO)107、アイソクロナス通信用受信前処理回路(TXIPRE)108、アイソクロナス通信用受信前処理回路(TXIPRO)109、アイソクロナス通信用FIFO(I-FIFO)110、およびコンフィギュレーションレジスタ(Configuration Register、以下CFRという)111により構成されている。

【0030】図1の回路において、ホストインタフェース回路102、送信用FIFO104a、アシンクロナス通信の受信用FIFO104bおよびリンクコア101によりアシンクロナス通信系回路が構成される。そして、アプリケーションインタフェース回路103、送信前処理回路106、送信後処理回路107、受信前処理回路108、受信前処理回路109、FIFO110およびリンクコア101によりアイソクロナス通信系回路が構成される。

【0031】リンクコア101は、アシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットのIEEE1394シリアルバスBSを直接ドライブするフィジカル・レイヤ回路20とのインタフェース回路、125μs毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。そして、たとえばサイクルタイマ等の時間データ等はCFR111を通してアイソクロナス通信系処理回路に供給される。また、バスリセット時には、IEEE1394シリアルバスBSを伝送されてくるセルフIDパケットを受信時間を監視し、セルフIDフェーズであるかを判断し、リゾルバ105に30 報知する。

【0032】ホストインタフェース回路102は、主としてホストコンピュータとしてのCPU30と送信用FIFO104a、受信用FIFO104bとのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、CPU30とCFR111との各種データの送- 受信の調停を行う。たとえばCPU30からは、アイソクロナス通信用パケットのSPH(ソースパケットヘッダ)に設定されるタイムスタンプ用遅延時間Txdelayがホストインタフェース102を通してCFR111にセ40 ットされる。

【0033】アシンクロナス通信用FIFO104は、1つのRAMからなり、送信用FIFO104aと受信用FIFO104bとの2つの領域に区分けされる。そして、送信用FIFO104aと受信用FIFO104bとの容量比はCPU30により制御される。たとえば通常のアシンクロナス通信時には送信用FIFO104aと受信用FIFO104bとの容量比は1:1となるようにCPU30により制御され、たとえばバスリセ45 ット時には各ノード(装置)から送られてくる最大63個

のセルフIDパケットを受信する必要性が生じる場合があることから、送信用FIFO104aと受信用FIFO104bとの容量比は3:7となるようにCPU30により制御される。なお、送信用FIFO104aには、IEEE1394シリアルバスBSに伝送させるアシンクロナス通信用パケットが格納され、受信用FIFO104bにはIEEE1394シリアルバスBSを伝送されてきたアシンクロナス通信用パケットやセルフIDパケットが格納される。また、CPU30からのFIFO104aの書き込み、FIFO104bからの読み出しのためのアクセスは同時には行われぬ。さらに、送信用FIFO104aと受信用FIFO104bのアドレス領域は独立していなくてはならないことから、送受信別に有している。

【0034】アプリケーションインタフェース回路103は、MPEGトランスポート40とアイソクロナス通信用送信前処理回路106およびアイソクロナス通信用受信前処理回路109とのクロック信号や制御信号等を含むMPEGトランスポートストリームデータの送受信の調停を行う。

【0035】解析手段としてのリゾルバ(Resolver)105は、バスリセット時に、リンクコア101を介してIEEE1394シリアルバスBSを伝送されてきた第1番目のセルフIDパケットを受けてそのギャップカウント値gap-cnt1を検出し、次から受信したセルフIDパケット毎のギャップカウント値gap-cntNを検出して、第1番ギャップカウント値gap-cnt1と比較して、比較の結果、たとえば等しい場合にはハイレベルの信号S105でCFR111にセットし、等しくない場合にはローレベルの信号S105でCFR111にセットする。この情報はホストインタフェース回路102を介してCPU30に報知される。そして、CPU30は、ギャップカウント値が異なる情報を得たときには、たとえば新しいノード(装置)が接続されたものとしてバスリセットをかける。また、検出したギャップカウント値もCFR111を介してCPU30に報知される。また、リゾルバ105は、必要に応じて受信したセルフIDパケットを受信用FIFO104bに格納する。なお、前述したように、IEEE1394シリアルバスBSにおいて、バスリセットが発生した後、そのバスに何台のノードが接続されているかは、受信したセルフIDパケットを解析することで分かるが、本実施形態のように、ギャップカウント値を比較するようにしたのは、一つのシリアルバスにおいて、接続している各ノードがバスを正しく使用するためには、各ノードのギャップカウント値が等しくある必要があるからである。

【0036】図2は、IEEE1394シリアルインタフェースにおけるセルフIDパケットのフォーマット例を示す図である。図2に示すように、セルフIDパケットは、フィジカル-ID(physical-ID)領域、L(link

active)領域、ギャップカウンタ (gap-count) 領域、フィジカルスピード (phy-speed) 領域、フィジカルディレイ (phy-delay) 領域等により構成されている。

【0037】送信前処理回路106、アプリケーションインタフェース回路103を介してMPEGトランスポート40によるMPEGトランスポートストリームデータを受けて、IEEE1394規格のアイソクロナス通信用としてクワドレット (4バイト) 単位にデータ長を調整し、かつ4バイトのソースパケットヘッダ (SPH) を付加し、FIFO110に格納する。

【0038】ソースパケットヘッダを付加するときに受信側のデータ出力時間を決定するタイムスタンプを設定するが、この設定は以下のように行われる。まず、MPEGトランスポート40からパケットの最終データを受け取ったタイミングで内部のサイクルレジスタの値をラッチする。次に、CPU30からホストインタフェース102を介してCFR111にセットされた遅延時間Tx delayを上記サイクルレジスタの値に加算する。そして、加算した値をタイムスタンプとして、受け取ったパケットのソースパケットヘッダに挿入 (設定) する。

【0039】図3は、ソースパケットヘッダにおけるタイムスタンプの具体的な構成を説明するための図である。図3に示すように、受信側のデータ出力時間を決定するためのタイムスタンプは、25ビットで現時刻を表す。すなわち、タイムスタンプは25ビットで構成され、下位12ビットがサイクルオフセットCO (cycle-offset) 領域、上位13ビットがサイクルカウンタCC (cycle-count) 領域として割り当てられている。サイクルオフセットは0~3071 (12b 10111111 1111) の125μsをカウントし (クロックCLK=24.576MHz)、サイクルカウンタは0~7999 (13b 11111001111111) の1秒をカウントするものである。したがって、原則として、タイムスタンプの下位12ビットは3072以上を示すことはなく、上位13ビットは8000以上を示すことはない。

【0040】送信後処理回路107は、FIFO110に格納されたソースパケットヘッダを含むデータに対して図8に示すように、1394ヘッダ、CIPヘッダ1, 2を付加してリンクコア101の送信回路に出力する。

【0041】受信前処理回路108は、リンクコア101を介してIEEE1394シリアルバスBSを、たとえば分割されて伝送されてきたアシンクロナス通信用パケットを受けて、受信パケットの1394ヘッダ、CIPヘッダ1, 2等の内容を解析し、データを復元してソースパケットヘッダとデータをFIFO110に格納する。

【0042】受信後処理回路109は、FIFO110

に格納されたソースパケットヘッダのタイムスタンプの時間データを読み出し、読み出したタイムスタンプデータ (TS) とリンクコア101内にあるサイクルタイムによるサイクルタイム (CT) を比較し、サイクルタイムCTがタイムスタンプデータTSより大きい場合には、FIFO110に格納されているソースパケットヘッダを除くデータをアプリケーションインタフェース回路103を介し、MPEG用トランスポートストリームデータとしてMPEGトランスポート40に出力する。

【0043】次に、バスリセット時にIEEE1394シリアルバスBSを伝送されてきたセルフIDパケットの解析動作について、図4のフローチャートに関連付けて説明する。

【0044】バスリセットがかかると、各ノードのフィジカル・レイヤ回路20からセルフIDパケットがIEEE1394シリアルバスBSに伝送される。このとき、リンク・レイヤ回路10のアシンクロナス通信用FIFO104の送信用FIFO104aと受信用FIFO104bとの容量比は3:7となるようにCPU30により制御される。

【0045】そして、IEEE1394シリアルバスBSを伝送されてきたセルフIDパケットは、あるノードの信号処理回路のフィジカル・レイヤ回路20で受信され、リンクコア101を介してリゾルバ105に入力される (S1)。なお、リンクコア101では、IEEE1394シリアルバスBSを伝送されてくるセルフIDパケットの受信時間が監視されて、セルフIDフェーズであるか否かが判断され、リゾルバ105に報知される (S3)。

【0046】リゾルバ105では、バスリセット時に、リンクコア101を介してIEEE1394シリアルバスBSを伝送されてきた第1番目のセルフIDパケットを受けてそのギャップカウンタ値gap-cnt1が検出され (S2)、その値が保持される。そして、ステップS3でセルフIDフェーズが終了していないと判断された場合には、次に受信したセルフIDパケット毎のギャップカウンタ値gap-cntNが検出される (S4, S5)。そして、ステップS1において検出した第1番ギャップカウンタ値gap-cnt1とステップS4で検出したギャップカウンタ値gap-cntNが比較される (S5)。ステップS5の比較の結果、等しい場合にはローレベルの信号S105がCFR111にセットされる (S7)。そして、ステップS3の動作に戻り、以上の動作がステップS3でセルフIDフェーズが終了したと判断されるまで行われる。

【0047】一方、ステップS6の比較の結果、第1番ギャップカウンタ値gap-cnt1とステップS4で検出したギャップカウンタ値gap-cntNが等しくない場合には、ハイレベルの信号S105がCFR111にセットされる (S8)。この情報はホストインタフェース回路102

を介してCPU30に報知される。そして、CPU30は、ギャップカウント値が異なる情報を得たことにより、たとえば新しいノード（装置）が接続されたものとしてバスリセットをかける。

【0048】また、上述した解析動作を行うリゾルバ105により、必要に応じて受信したセルフIDパケットがFIFO104bに順次格納される。そして、CPU30によりFIFO104bに格納されセルフIDパケットに基づいてシステムの解析等が行われる。

【0049】また、セルフIDフェーズが終了した場合には、CPU30により送信用FIFO104aと受信用FIFO104bとの容量比は1:1となるように制御され、以降、通常のアシクロナス通信時が行われ、送信用FIFO104aにはIEEE1394シリアルバスBSに伝送させるアシクロナス通信用パケットが格納され、受信用FIFO104bにはIEEE1394シリアルバスBSを伝送されてきたアシクロナス通信用パケットが格納される。

【0050】以上説明したように、本実施形態によれば、アシクロナス通信用FIFO104を、1つのRAMから構成して、送信用FIFO104aと受信用FIFO104bとの2つの領域に区分けし、送信用FIFO104aと受信用FIFO104bとの容量比をCPU30により、たとえば通常のアシクロナス通信時には送信用FIFO104aと受信用FIFO104bとの容量比が1:1となるように制御し、特定動作時、たとえばバスリセット時には送信用FIFO104aと受信用FIFO104bとの容量比が3:7となるように制御するようにしたので、搭載するLSIのチップ面積の増加を抑制することができ、また必要に応じて送受信のFIFOのサイズの容量比を変更することができる機能は、特定状況で送信あるいは受信用FIFOの領域を多くとりたいときなどに有効である。

【0051】なお、本実施形態では、FIFO104の送信用と受信用の記憶領域の境界をCPU30から設定変更できるようにしたが、たとえば直接外部ピンから制御する構成、あるいは内部レジスタの設定による構成等、種々の態様が可能であることはいうまでもない。

【0052】また、本実施形態では、バスリセット時に、リンクコア101を介してIEEE1394シリアルバスBSを伝送されてきた第1番目のセルフIDパケットを受けてそのギャップカウント値gap_cnt1を検出し、次から受信したセルフIDパケット毎のギャップカウント値gap_cntNを検出して、第1番ギャップカウント値gap_cnt1と比較して、比較の結果、たとえば等しい場合にはハイレベルの信号S105でCFR111にセットし、等しくない場合にはローレベルの信号S105でCFR111にセットするリゾルバ（Resolver）105を設け、CPU30は、ギャップカウント値が異なる情

報を得たときには、たとえば新しいノード（装置）が接続されたものとしてバスリセットをかけ、また、検出したギャップカウント値もCFR111を介してCPU30に報知するようにしたので、回路規模、コストの低減を図れ、制御系の負荷を軽減できる利点がある。また、シリアルバスの初期化後の異常状態の検出を高速に行うことができる。

【0053】

【発明の効果】以上説明したように、本発明によれば、回路規模、の増加を抑制でき、また、送受信用記憶装置のサイズの容量比を任意に変更することができる。

【図面の簡単な説明】

【図1】IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の一実施形態を示すブロック構成図である。

【図2】セルフIDパケットのフォーマット例を示す図である。

【図3】タイムスタンプの具体的な構成を説明するための図である。

【図4】バスリセット時の動作を説明するためのフローチャートである。

【図5】アイソクロナス通信における1ソースパケットのバイトサイズを示す図であって、（A）はDVB仕様時、（B）はDSS仕様時のパケットサイズを示す図である。

【図6】IEEE1394規格のアイソクロナス通信でデータを伝送させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【図7】ソースパケットヘッダのフォーマットを示す図である。

【図8】アイソクロナス通信用パケットの基本構成例を示す図である。

【図9】一般的なアシクロナス通信用FIFOの構成例を説明するための図である。

【符号の説明】

10…リンク・レイヤ回路、101…リンクコア(Link Core)、102…ホストインタフェース回路(Host I/F)、103…アプリケーションインタフェース回路(AP I/F)、104…アシクロナス通信用FIFO、送信用FIFO(AT-FIFO)、104b…受信用FIFO(AR-FIFO)、105…セルフID用リゾルバ(Resolver)、106…アイソクロナス通信用送信前処理回路(TX0 util)、107…アイソクロナス通信用送信後処理回路(TX0 util2)、108…アイソクロナス通信用受信前処理回路(TX1 in1)、109…アイソクロナス通信用受信前処理回路(TX1 in2)、110…アイソクロナス通信用FIFO(I-FIFO)、111…コンフィギュレーションレジスタ(CFR)、20…フィジカル・レイヤ回路、30…CPU、MPEGトランスポート。

【图 7】

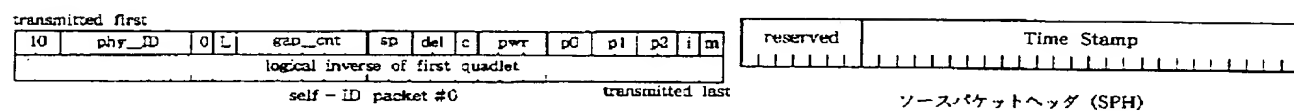
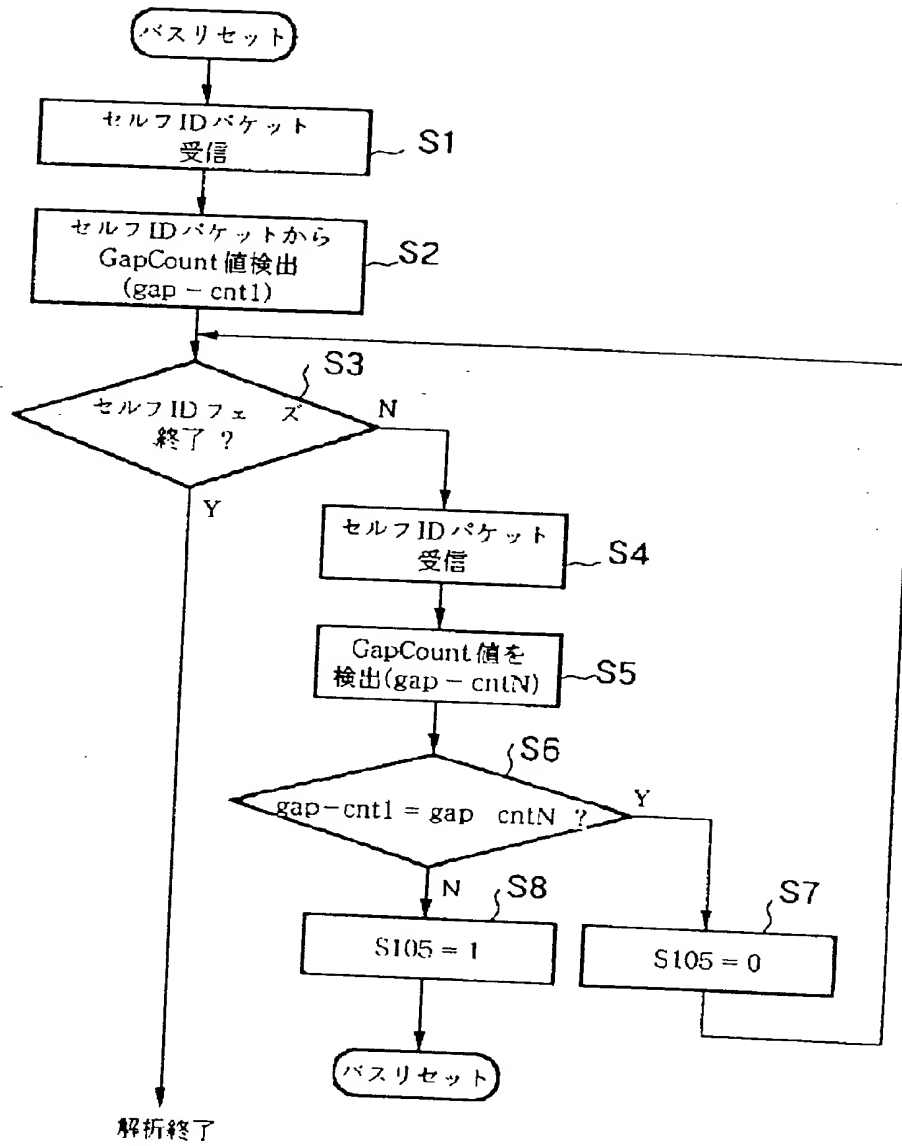


Diagram illustrating the structure of the CC (CycleCount) and CO (CycleOffset) registers. The CC register is 8 bits wide (bits 31:24) and contains the value 00000000. The CO register is 12 bits wide (bits 23:11) and contains the value 111111111111111111111111. The bit positions 31, 30, 29, 25, 24, 12, 11, and 0 are marked along the bottom.

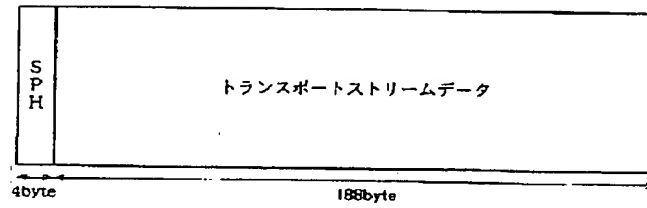
Figure 1 is a schematic diagram of a packet structure. It illustrates the relationship between source packets, their headers, data blocks, and the resulting packet structure. The diagram is organized into three main vertical sections, each representing a source packet. At the top, 'ソースパケット' (Source Packet) are shown as large rectangles. Below them, 'ソースパケットヘッダ' (Source Packet Header) is shown as a row of segments. The last segment of the header is labeled 'パディング データ' (padding data). Below the headers, 'データブロック' (Data Block) is shown as a row of segments. At the bottom, 'パケット' (Packet) is shown as a sequence of segments. The first segment is labeled 'サイクル同期信号' (cycle synchronization signal). The second segment is labeled 'サイクルスタート' (cycle start). The third segment is labeled 'パケットヘッダとCIPヘッダ' (packet header and CIP header). The diagram shows how the source packets are mapped to the packet structure, with dashed lines indicating the flow of data from the source packets to the packet structure.

【図4】

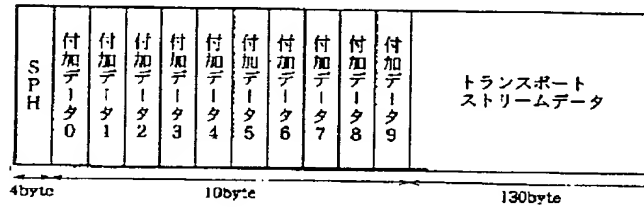


【図5】

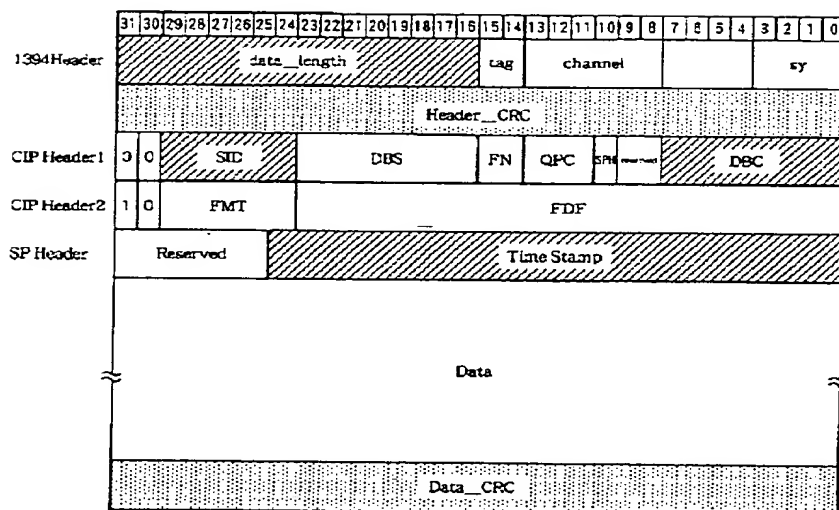
(A)

DVB

(B)

DSS

【図8】



【図 9】

